

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-232102

(43)Date of publication of application : 22.08.2000

(51)Int.Cl.

H01L 21/316
C04B 35/46
C23C 16/40
H01B 3/12
H01B 19/00
H01L 21/31
H01L 27/108
H01L 21/8242

(21)Application number : 11-034181

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 12.02.1999

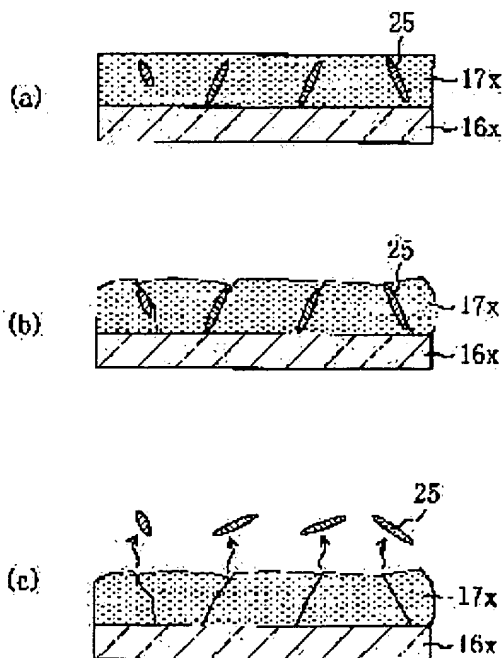
(72)Inventor : UEDA MICHIHITO
OTSUKA TAKASHI

(54) MANUFACTURE OF DIELECTRIC FILM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a dielectric film whose leakage current is little, as a manufacturing method of a dielectric film which is used as a capacitive insulating film of a memory cell.

SOLUTION: When a BST(barium strontium titanate) film 17x containing carbon compound 25 is heat-treated, the heat treatment is performed at a temperature, e.g. of 700°C wherein elimination of the carbon compound becomes active. Thereby BST can be crystallized while the carbon compound 25 in the BST film 17x is eliminated. In particular, by increasing the rate of temperature rise up to a retaining temperature, the carbon compound 25 can be effectively eliminated from the BST film 17x, before the carbon compound 25 becomes hard to be eliminated on account of crystallization of BST. Thereby a BST film as a dielectric film of high permittivity which contains no carbon compound increasing leakage current can be formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

·application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

· [Number of appeal against examiner's decision of rejection]

· [Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-232102

(P2000-232102A)

(43) 公開日 平成12年8月22日 (2000.8.22)

(51) Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 L 21/316		H 0 1 L 21/316	X
C 0 4 B 35/46		C 2 3 C 16/40	
C 2 3 C 16/40		H 0 1 B 3/12	3 0 3
H 0 1 B 3/12	3 0 3	19/00	
19/00		H 0 1 L 21/31	B

審査請求 未請求 請求項の数17 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平11-34181

(22) 出願日 平成11年2月12日 (1999.2.12)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 上田 路人

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72) 発明者 大塚 隆

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 100077931

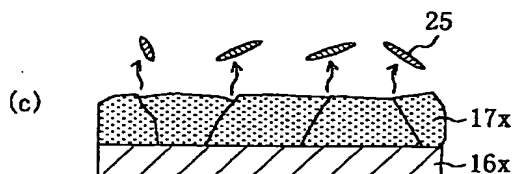
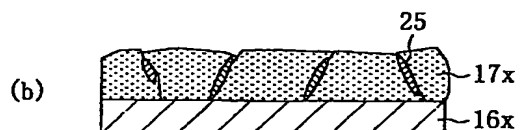
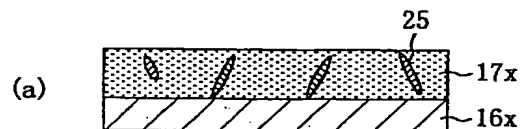
弁理士 前田 弘 (外1名)

(54) 【発明の名称】 誘電体膜の製造方法

(57) 【要約】

【課題】 メモリセルの容量絶縁膜として用いられる誘電体膜の製造方法として、リーク電流の小さい誘電体膜の製造方法を提供する。

【解決手段】 カーボン化合物25を含有するBST膜17xに熱処理を施す際、カーボン化合物25の脱離が活性となる温度例えば700℃において熱処理を施すことにより、BST膜17x中のカーボン化合物25を脱離しつつBSTを結晶化させることができる。特に、保持温度に至るまでの昇温速度を高くすることにより、BSTの結晶化によってカーボン化合物25が脱離しにくくなる前に、BST膜17xからカーボン化合物25を効率よく除去することができる。これにより、リークを増長させるカーボン化合物のない、かつ比誘電率の高い高誘電体膜であるBST膜が形成される。



【特許請求の範囲】

【請求項 1】 基板上に炭素を含有する誘電体膜を堆積する工程 (a) と、

上記誘電体膜に熱処理を施すことにより上記誘電体膜を結晶化させる工程 (b) とを備え、

上記工程 (b) は、上記誘電体膜から少なくとも炭素を含む物質が脱離する条件下で行なわれることを特徴とする誘電体膜の製造方法。

【請求項 2】 請求項 1 記載の誘電体膜の製造方法において、

上記工程 (b) における熱処理時の最高温度は、少なくとも炭素を含む物質の誘電体膜からの脱離を開始する温度より高いことを特徴とする誘電体膜の製造方法。

【請求項 3】 請求項 2 記載の誘電体膜の製造方法において、

上記工程 (b) における熱処理時の最高温度は、真空中における少なくとも炭素を含む物質の脱離量が最も多い温度に比べて 50℃ 低い温度よりも高いことを特徴とする誘電体膜の製造方法。

【請求項 4】 請求項 1 記載の誘電体膜の製造方法において、

上記工程 (b) における熱処理時の昇温速度が毎分 0.2℃ 以上であることを特徴とする誘電体膜の製造方法。

【請求項 5】 請求項 1～4 のうちいずれか 1 つに記載の誘電体膜の製造方法において、

上記工程 (a) においては、非晶質の誘電体膜を堆積することを特徴とする誘電体膜の製造方法。

【請求項 6】 請求項 1～5 のうちいずれか 1 つに記載の誘電体膜の製造方法において、

上記誘電体膜は、酸化物であって、且つ上記工程 (b) の終了後にペロブスカイト構造を有することを特徴とする誘電体膜の製造方法。

【請求項 7】 請求項 1～6 のうちいずれか 1 つに記載の誘電体膜の製造方法において、

上記工程 (b) においては、上記熱処理を酸化雰囲気下で行うことを特徴とする誘電体膜の製造方法。

【請求項 8】 請求項 1～6 のうちいずれか 1 つに記載の誘電体膜の製造方法において、

上記工程 (b) の後に、さらに酸素雰囲気下で熱処理を行なう工程 (c) をさらに備えていることを特徴とする誘電体膜の製造方法。

【請求項 9】 請求項 1 記載の誘電体膜の製造方法において、

上記誘電体膜が、Ba、Sr、Ti、Pb、Bi、Ta、Zn、Y、Mn、Ce 及び Mg のうち少なくともいずれか 1 つを含むことを特徴とする誘電体膜の製造方法。

【請求項 10】 請求項 9 記載の誘電体膜の製造方法において、

上記誘電体膜はチタン酸バリウム・ストロンチウムによ

り構成されていることを特徴とする誘電体膜の製造方法。

【請求項 11】 請求項 10 記載の誘電体膜の製造方法において、

上記工程 (a) においては、有機金属化学気相成長法を用いて上記誘電体膜を堆積することを特徴とする誘電体膜の製造方法。

【請求項 12】 請求項 11 記載の誘電体膜の製造方法において、

10 上記工程 (a) においては、βジケトン系有機金属錯体を用いて上記有機金属化学気相成長を行なわせることを特徴とする誘電体膜の製造方法。

【請求項 13】 請求項 11 記載の誘電体膜の製造方法において、

上記工程 (a) においては、βジケトン系有機金属錯体を有機溶剤に溶解したものを用いて上記有機金属化学気相成長を行なわせることを特徴とする誘電体膜の製造方法。

【請求項 14】 請求項 13 記載の誘電体膜の製造方法において、

20 上記工程 (b) における熱処理時の最高温度が、650℃ 以上であることを特徴とする誘電体膜の製造方法。

【請求項 15】 請求項 1 に記載の誘電体膜の製造方法において、

上記誘電体膜は、ダイナミック・ランダム・アクセス・メモリ (DRAM) の容量絶縁膜であることを特徴とする誘電体膜の製造方法。

【請求項 16】 請求項 1 に記載の誘電体膜の製造方法において、

30 上記誘電体膜は、強誘電体メモリ (FeRAM) の容量絶縁膜であることを特徴とする誘電体膜の製造方法。

【請求項 17】 請求項 1 に記載の誘電体膜の製造方法において、

上記誘電体膜は、強誘電体ゲートメモリ (MFS) の強誘電体膜であることを特徴とする誘電体膜の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、コンデンサや、半導体メモリの容量膜に用いられる誘電体膜の製造方法に関する。

【0002】

【従来の技術】 マルチメディア社会の進展にともない、マルチメディア用機器のサイズはコンパクト化される反面、そこで扱われるデジタル情報量はますます増大する一方であることから、マルチメディア用機器に搭載されている半導体メモリについては、今後ますます高集積化が進展すると予想される。しかしながら、半導体メモリの中でも容量絶縁膜に情報を記憶させるメカニズムを有する例えばダイナミックランダムアクセスメモリ (以下、DRAM と表記する) においては、これら高集積化

にとともに、セルの微細化を進める必要がある一方で、各セルの容量絶縁膜の電荷容量をほぼ従来通りの値（およそ30 fF）に維持する必要がある。このため、近年、DRAMセルの容量絶縁膜を構成する材料として、例えば、チタン酸バリウム・ストロンチウム（以下、BSTと表記する）などの高誘電率の材料を利用するための技術開発が盛んに行われている。また、重い元素を含んでいるBSTなどの材料の薄膜を堆積する方法としては、有機金属化学気相成長法（以下、MOCVD法と表記する）が、膜厚均一性などの点から見て今後有望と考えられている。

【0003】図10は、基板上にBST膜を堆積するのに用いられている従来のMOCVD装置の構成の一例を概略的に示す断面図である。

【0004】同図に示すように、MOCVD装置は、3つの液体容器101a~101cを有する原料供給装置101と、各液体容器101a~101cからの液体材料の混合比を調整するための混合器103と、液体材料を強制的に流すための液体ポンプ105と、液体材料を気化させるための気化器107と、反応炉111とを備えており、上記各機器類は配管により接続されている。反応炉111内にはBST膜を成長させるための基板109が設置されている。反応炉111には、炉内の圧力を減圧状態にするための排気系113と、酸素などの酸化性ガスを導入するためのガス導入管115とが付設されている。

【0005】ここで、液体容器101a、101b、101cには、BST膜を形成するための原料であるBa(DPM)、Sr(DPM)、Ti(O-iPr)、(DPM)、をTHFに0.1mol/Lの濃度で溶解した溶液がそれぞれ収納されている。図11は、液体材料のうちの1つであるBa(DPM)の分子式を示す図である。

【0006】また、混合器103は、液体容器101a、101b、101cからの液体材料の流量を調整することにより、各液体材料の混合比を所望の値にしている。気化器107は、液体ポンプ105から送られる液体材料を昇温させることにより気化するとともに、搬送ガス導入管108から送られてくる搬送ガスと、気化された原料ガスとを混合して、反応炉111内に送り込む。この搬送ガスには、一般に反応性が低い不活性ガス、例えばアルゴン、窒素ガスが用いられることが多い。一方、反応炉111内において、基板109は加熱器（図示せず）により約450℃に加熱されている。そして、気化器107において気化した原料ガスは、反応炉111内において、ガス導入管115から送られる酸素と混合されて、加熱されている基板109の表面で酸化、分解反応することにより、基板109上に良好なBST膜が堆積されていく。このとき、反応炉111内の圧力は、1 Torr程度である。

【0007】以上のMOCVD装置によって形成された直後のBST膜は、一般に、成膜温度が500℃以下の場合にはアモルファス構造を有しているため、その後、BST膜に熱処理を施すことにより、BST膜を結晶化させている。

【0008】図12は、熱処理（アニール）によって結晶化された膜厚が30nmのBST膜の結晶子サイズのアニール温度依存性を示す図である。同図において、横軸はアニール温度を表し、縦軸はX線回折による分析から求められた結晶子サイズ（nm）（膜厚方向の結晶子サイズにほぼ等しい）を表している。また、BST膜は、450℃で成膜された後、30分の間アニールされている。図12からわかるように、BST膜の結晶化は、500~600℃の間の温度から開始している。

【0009】図13は、BST膜に窒素雰囲気中で600℃の熱処理（アニール）を施したときの熱処理時間とBST膜の比誘電率との相関関係を示す図である。同図に示すように、100以上の高い比誘電率を有するBST膜を得るためには、25分間以上の長いアニールを施す必要がある。

【0010】

【発明が解決しようとする課題】とところが、上記従来のMOCVD法によって形成されたBST膜を熱処理することにより、BST膜の比誘電率の向上を実現することはできるものの、リーク電流が大きいうという不具合があった。その原因について、以下に考察する。

【0011】図14は、窒素雰囲気中で600℃で熱処理を施したときの保持時間とリーク電流との相関関係を示す図である。ここで、同図の縦軸は、+1(V)の電圧をBST膜の上下面間に印加したときの電流(A/cm²)を表している。図13と図14とを比べるとわかるように、BST膜の結晶化があまり進行していない（つまり比誘電率がほとんど向上していない）15分間の熱処理を施しただけでも、リーク電流は10⁻¹(A/cm²)と非常に大きい値を示している。

【0012】この原因は、本発明者らの実験によると、以下のように考えられる。図11に示すBa(DPM)の分子式からわかるように、BST膜を形成する1つのBa原子を搬送するために、多くのカーボン原子が結合している化合物を用いなければならない。そのため、形成されるBST膜内には、多くのカーボン化合物が残存しており、このカーボン化合物がリーク電流の通路となっているものと思われる。

【0013】以上のような不具合は、BST膜以外のMOCVD法によって形成される高誘電体膜や強誘電体膜に共通している。そして、このような大きなリーク電流を示すBST膜をDRAMセルの容量絶縁膜として用いると、リーク電流による情報の揮発を回避するためにリフレッシュの頻度を極めて多くする必要が生じることになる。その結果、事実上、DRAMセルの容量絶縁膜と

してBST膜など高誘電体膜を用いることが困難となっている。

【0014】本発明の目的は、BST膜などのMOCVD法によって形成される高誘電体膜中の炭素や炭素化合物を効率的に除去する手段を講ずることにより、高い誘電率と小さなリーク電流とを有する誘電体膜の製造方法を提供することにある。

【0015】

【課題を解決するための手段】本発明の誘電体膜の製造方法は、基板上に炭素を含有する誘電体膜を堆積する工程(a)と、上記誘電体膜に熱処理を施すことにより誘電体膜を結晶化させる工程(b)とを備え、上記工程(b)は、上記誘電体膜から少なくとも炭素を含む物質が脱離する条件下で行なわれる方法である。

【0016】この方法により、リーク経路の形成や可動イオンの生成の原因となる炭素を含む物質を速やかに誘電体膜から脱離させることができるので、リーク特性の良好な誘電体膜を形成することができる。

【0017】上記工程(b)における熱処理時の最高温度は、少なくとも炭素を含む物質の誘電体膜からの脱離を開始する温度より高いことが好ましい。

【0018】上記工程(b)における熱処理時の最高温度は、真空中における少なくとも炭素を含む物質の脱離量が最も多い温度に比べて50℃低い温度よりも高いことが好ましい。

【0019】上記工程(b)における熱処理時の昇温速度を毎分0.2℃以上とすることにより、誘電体膜が結晶化する前に誘電体膜から炭素を含む物質をより速やかに脱離させることができる。

【0020】上記工程(a)において、非晶質の誘電体膜を堆積することにより、炭素を含む物質の脱離が促進される。

【0021】上記誘電体膜は、酸化物であって、且つ上記工程(b)の終了後にペロブスカイト構造を有することが好ましい。

【0022】上記工程(b)においては、上記熱処理を酸化雰囲気下で行うことにより、少なくとも炭素を含む物質を脱離しやすいガスに変えて、炭素を含む物質の脱離を促進することができる。

【0023】上記工程(b)の後に、さらに酸素雰囲気下で熱処理を行なう工程(c)をさらに備えることによっても、同様の効果が得られる。

【0024】上記誘電体膜が、Ba、Sr、Ti、Pb、Bi、Ta、Zn、Y、Mn、Ce及びMgのうち少なくともいずれか1つを含むことにより、高誘電体膜又は強誘電体膜となる誘電体膜について、リーク電流の低減効果を発揮することができる。

【0025】上記誘電体膜をチタン酸バリウム・ストロンチウムによって構成することにより、誘電率の高いかつリーク特性の良好な誘電体膜を形成することが可能と

なる。

【0026】上記工程(a)においては、有機金属化学気相成長法を用いて上記誘電体膜を堆積することにより、デバイスの特性に悪影響を与えない低温で誘電体膜を形成しつつ、原料となる有機物に存在する炭素を含む物質が誘電体膜中に残留するのを有効に阻止することができる。

【0027】上記工程(a)においては、βジケトン系有機金属錯体を用いて上記有機金属化学気相成長を容易に行なわせることができる。

【0028】また、上記工程(a)においては、βジケトン系有機金属錯体を有機溶剤に溶解したものをを用いて上記有機金属化学気相成長を行なわせることもできる。

【0029】上記工程(b)における熱処理時の最高温度が、650℃以上であることが好ましい。

【0030】上記誘電体膜を、ダイナミック・ランダム・アクセス・メモリ(DRAM)の容量絶縁膜、強誘電体メモリ(FeRAM)の容量絶縁膜、強誘電体ゲートメモリ(MFS)の強誘電体膜などとして用いることにより、狭いセル面積で所望の容量を確保することができる。

【0031】たとえば、DRAMに適用すれば、DRAMの高集積化・大容量化が達成できる。また、同じセル面積であればセル高さを低くすることが可能であり、例えばDRAMとロジックとの混載には特に有効である。

【0032】FeRAMに適用すれば、情報の書込み・読出し時の電力消費量が小さく、発熱量も小さいFeRAMを実現することが可能である。

【0033】MFSに適用すれば、情報の書込み時の電力消費量が小さく、発熱量も小さいMFSを実現することが可能である。

【0034】

【発明の実施の形態】(第1の実施形態)以下、本発明の第1の実施形態の誘電体膜の製造方法について図面を参照しながら説明する。

【0035】図1は、本実施形態の誘電体膜を用いたDRAMのメモリセルのみを抜き出して示す断面図である。図1に示すように、Si基板11上には活性領域を取り囲む素子分離12が形成されており、この活性領域内にはDRAMのメモリセルトランジスタとなるMOSTランジスタが設けられている。MOSTランジスタは、Si基板11の上に設けられた絶縁ゲート14と、Si基板11内における絶縁ゲート14の両側に位置する領域に形成されたソース・ドレイン拡散層13とにより構成されている。また、基板上には、シリコン酸化膜からなる第1の層間絶縁膜15が堆積されており、この第1の層間絶縁膜15の上に、メモリセルの容量部が設けられている。この容量部は、第1の層間絶縁膜15の上に形成されたPt膜からなる下部電極16と、下部電極16の上に設けられた厚み25nm程度のBST膜か

らなる容量絶縁膜17と、容量絶縁膜17の上に設けられた上部電極18とにより構成されている。そして、容量部の下部電極16は、第1の層間絶縁膜15を貫通するプラグ19によってメモリセルトランジスタのソース・ドレイン拡散層13の一方に接続されている。なお、図1の破線に示すように、第1の層間絶縁膜15の上に堆積された第2の層間絶縁膜20の上にはDRAMのビット線21が設けられており、このビット線21は、第1、第2の層間絶縁膜15、20を貫通するプラグ22によってソース・ドレイン拡散層13の他方に接続されている。

【0036】ここで、本実施形態におけるDRAMメモリセルの製造工程について、図2(a)～(d)を参照しながら説明する。

【0037】図2(a)に示す工程において、Si基板11の上に、LOCOS法などを用いて、活性領域を囲む素子分離12を形成する。さらに、基板上にシリコン酸化膜及びポリシリコン膜を堆積した後、これらをパターニングして、活性領域の上にゲート酸化膜及びゲート電極からなる絶縁ゲート14を形成する。そして、この絶縁ゲート14をマスクとしてSi基板11内にヒ素イオンを注入して、Si基板11内における絶縁ゲート14の両側に位置する領域にソース・ドレイン拡散層13を形成する。さらに、基板上に、例えば減圧化学気相成長法によりSiO₂からなる第1の層間絶縁膜15を約200nmの厚みで堆積する。さらに、第1の層間絶縁膜15のリフローまたはCMPなどによる平坦化を行なった後、第1の層間絶縁膜15にソース・ドレイン拡散層13の一方に到達するコンタクト窓を開く。そして、例えば減圧化学気相成長法により多結晶シリコンを成膜した後、異方性を強めてドライエッチングすることにより、コンタクト窓にポリシリコンを埋め込んで、プラグ19を形成する。

【0038】次に、図2(b)に示す工程において、基板上に、例えばDCスパッタ法を用いて、基板温度300℃で、Ptを100nmの厚みで堆積することにより、第1のPt膜16xを形成する。その後、上記従来の技術において説明したMOCVD装置を用いて、基板上にBST膜17xを堆積する。すなわち、β-ジケトン系有機金属錯体であるBa(DPM)₂、Sr(DPM)₂、Ti(O-iPr)₄(DPM)₂をn-酢酸ブチルにそれぞれ0.1mol/Lの濃度で溶解して作成した液体材料を混合した後、この混合体を220℃に昇温して気化し、この気化された原料ガスをArガスによって搬送することで、反応炉内に原料ガスを導入する。そして、反応炉内においては、圧力5 Torr、酸素分圧25%の雰囲気中で、例えば450℃に加熱した基板上で原料ガスを反応させることにより、第1のPt膜16xの上にBST膜17xを形成する。

【0039】次に、図2(b)に示す状態で、基板を7

00℃に約1分間保持し、BST膜の結晶化のための熱処理を行なう。

【0040】次に、図2(c)に示す工程において、基板上にスパッタ法を用いて、Ptを100nmの厚みで堆積することにより、BST膜17xの上に第2のPt膜18xを形成する。

【0041】次に、図2(d)に示す工程において、第1のPt膜16x、BST膜17x、及び第2のPt膜18xをパターニングすることにより、下部電極16、容量絶縁膜17及び上部電極18からなる容量部を形成する。この容量部内の下部電極16は、プラグ19によって、メモリセルトランジスタのソース・ドレイン拡散層13の一方に接続されている。

【0042】その後の工程の図示は省略するが、第2の層間絶縁膜の堆積、コンタクト窓の形成及び埋め込み、ビット線の形成などの工程を行なって、DRAMのメモリセルを形成する。

【0043】ここで、本実施形態の特徴である、図2(b)に示す熱処理工程について、以下に詳細に説明する。

【0044】MOCVD法による成膜方式は、液体原料として多量の炭素を含有する化合物を用いるため、MOCVD法によって成膜された高誘電体膜であるBST膜17x中にも多量のカーボン化合物が残留することになる。そして、本発明者らは、以下に示す実験データに基づいて、BST膜にカーボン化合物を残留させたままBSTの結晶化を行うと、BST膜のリーク電流が大きくなることを見いだした。

【0045】図3は、発明者が行なった実験の結果得られた、BST膜からのカーボン化合物の脱離挙動についてのデータを示す図である。同図において、横軸は熱処理温度を表しており、縦軸は熱処理によって脱離するカーボン化合物の量に応じた検出イオン電流強度(任意単位)を表している。ここでは、モニター対象となるカーボン化合物として、特に脱離挙動が顕著であった分子量28のカーボン化合物であるCO₂を利用し、それぞれ450℃、600℃で成膜された2種類のBST膜について、昇温によるCO₂の脱離量の測定を行なっている。ガス分析の測定質量範囲は1~100(amu)で、昇温速度が10℃/minである。

【0046】図3に示されているように、カーボン化合物の脱離は600℃を少し越えたところから始まり、700℃付近で脱離量のピーク値を示すことが分かる。これは、450℃で成膜したBST膜と600℃で成膜したBST膜とに共通する事実であり、カーボン化合物の脱離現象と成膜温度との間には関連性が薄いことが示されている。

【0047】図4は、窒素雰囲気中、700℃で結晶化のための熱処理を施したときの保持時間とBST膜の比誘電率との相関関係を示す図である。すなわち、図3の

データから700℃付近でカーボン化合物の脱離量がピークとなることから、700℃付近で多くのカーボン化合物が脱離してしまうことが考えられるので、これを確認するために行なった実験のデータを示すものである。

図4に示されているように、保持時間が1分間程度で、比誘電率が150を越えるBST膜が得られることがわかる。上記従来のMOCVD法によるBST膜の結晶化のための熱処理においては、比誘電率が150のBST膜を得るためには、600℃で30分間の熱処理を行なう必要があった。それに対し、本実施形態のように700℃の熱処理を行なう場合には、従来の方法に比べると、BST膜の結晶化がはるかに高速で進行することによるものと考えられる。また、図4には、保持時間が15分間程度になると、比誘電率200という高い比誘電率を有するBST膜が得られることも示されている。

【0048】図5は、窒素雰囲気中、700℃で結晶化のための熱処理を施したときの保持時間と+1[V]印加時のリーク電流密度(A/cm^2)との相関関係を示す図である。同図に示すように、保持時間が長くなってもBST膜のリーク電流は増大せず、 10^{-8} (A/cm^2)をわずかに越える程度の良好なリーク特性が得られている。

【0049】上述のように、熱処理温度が600℃と700℃とでは、比誘電率に影響を与える結晶化の過程と、リーク電流に影響を与えるカーボン化合物の脱離過程とが異なっているように考えられる。以下、その点について考察する。

【0050】図6(a)～(c)は、熱処理条件による高誘電体膜のカーボン化合物の残留状態の相違を示すための断面図である。以下においては、高誘電体膜が本実施形態のBST膜17xであり、下地が第1のPt膜16xであるとして、図6(a)～(c)に示す高誘電体膜中のカーボン化合物の状態について説明する。

【0051】図6(a)はas-depo.におけるBST膜17xの構造を概念的に説明するための断面図である。図6(a)に示すように、低温で成膜されたBST膜17xは、as-depo.の状態では非晶質状態であり、BST膜17x中には多くのカーボン化合物25が含まれていることはすでに説明した通りである。しかしながら、BST膜17xが非晶質であるために、この状態ではリーク経路が形成されにくく、BST膜17xのリーク電流密度は小さい。このことは、図5や図14に示されるように、as-depo.におけるリーク電流量が 10^{-8} (A/cm^2)と極めて小さいことから明らかである。

【0052】図6(b)は、この非晶質状態のBST膜17xを600℃で熱処理したときのBST膜17xの構造を概念的に説明するための断面図である。図3に示すデータからわかるように、600℃での熱処理によ

BST膜17xは多くのカーボン化合物25を含んだまま結晶化することになる。このとき、残留するカーボン化合物25は、一般的には結晶化したBST膜17xの結晶粒界に偏析しやすいと考えられる。そして、結晶粒界に偏析した場合には、特に電流が通りやすくなってリーク経路を形成する。また、カーボン化合物25は、結晶粒界内に存在しても、可動イオン種を生ぜしめる源となりうる。その結果、残留するカーボン化合物25によってBST膜17xのリーク特性が悪化すると考えられる。

【0053】図6(c)は、この非晶質状態のBST膜17xを700℃で熱処理したときのBST膜17xの構造を概念的に説明するための断面図である。図3及び図5に示すデータから容易に推測できるように、700℃の高温熱処理によってBST膜17x中のカーボン化合物25はBST膜17xから脱離する。この時、カーボン化合物25が脱離したあとのBST膜17xにおいて、BSTの結晶化が完了していなければBST中の各要素間の結合が不安定である上に、高温であることからBSTが内部での反応が生じやすい活性状態であるために、短時間でBST結晶が形成される。すなわち、700℃の高温熱処理においては、BST膜17xにおいて短時間の間にカーボン化合物の脱離とBSTの結晶化が進行し、結果としてカーボン化合物含有量が少ないためリーク特性の良好なBST膜を得ることが可能である。

【0054】なお、カーボン化合物の効率的な除去には、脱離量のピーク値を示す温度よりも50℃低い温度以上の温度における熱処理が特に有効であった。

【0055】ただし、熱処理の保持温度が高くても、保持温度になるまでの昇温速度があまりに遅いとBSTの結晶化の開始温度がカーボン化合物の脱離温度よりも低いことから、カーボン化合物の脱離が進行しないうちにBSTの熱的な結晶化が進行する。そして、BSTの結晶化によってBST膜全体が安定な状態になると、カーボン化合物が脱離しにくくなるようである。したがって、昇温速度を高くすることにより、カーボン化合物の脱離とBSTの結晶化とが効果的に行なわれているものと考えられる。本実施形態に関する実験からは、毎分0.2℃以上の速度で昇温することが望ましいことがわかった。特に、ラビッド・サーマル・アニーリング(RTA)は有効な熱処理方法であった。

【0056】また、カーボン化合物は、一酸化炭素や二酸化炭素などの酸素を含む分子状態で脱離する割合が大きいことから、BSTなどの酸化物においては、酸素が欠損した結晶が形成されやすくなる。このような酸素欠損がある状態は、結晶中においてプラスイオンとなるポテンシャル状態であるため、酸素欠損のある部位には電子が滞留しやすい。そのため、酸素欠損の存在はリーク電流が生じる一要因となる。そこで、BST膜17xに結晶化のための熱処理を施した後、酸素欠損を補償する

ためにさらに酸化雰囲気中で熱処理を施すことにより、リーク電流を有効に低減することができる。このような酸素欠陥をなくすための熱処理は、例えば、酸素雰囲気中、大気圧で、550℃、30minといった条件下で行なわれる。また、最初の熱処理を酸化雰囲気下で行っても同様の効果が得られる。

【0057】なお、本実施形態においては、下部電極16を第1のPt膜16xから形成しているために、RTAなどの短時間の熱処理によっても、900℃以上の高温ではBST膜17xへのPtのマイグレーションが生じ、BST膜17xの絶縁性が悪化した。しかしながら、この現象は下部電極Ptの材料としての特性によるものであり、本実施形態の誘電体膜の製造方法を限定するものではない。例えば、Nbをドーブしたチタン酸ストロンチウムなどの高温での安定性に優れた導電性材料により下部電極を構成すれば、絶縁性は悪化しなかった。

【0058】本実施形態によるBST膜の製造方法によれば、MOCVD法によりBST膜を形成した後、高い温度で熱処理を行なうことにより、BST膜からカーボン化合物を効率的に除去することができ、リーク電流の小さいBST膜を形成することができる。特に、高温保持に至るまでの昇温速度を高くすることにより、BST膜からカーボン化合物を効率的に除去しつつBSTの結晶化を促進することが可能である。その結果、比誘電率が高く、かつリーク電流の小さいBST膜を形成することができる。

【0059】そして、本実施形態のBST膜の製造方法により形成されたBST膜をDRAMのセルの容量絶縁膜などとして用いれば、狭いセル面積で所望の容量を確保することが可能であるため、DRAMにおいては高集積化・大容量化が達成できる。また、同じセル面積であればセル高さを低くすることも可能であり、例えばDRAMとロジックの混載には特に有効である。

【0060】なお、本実施形態では、高誘電体膜をBSTにより構成したが、本発明の誘電体膜は、この実施形態の構造に限定されるものではない。誘電体膜として高誘電体膜を利用する場合でも、高誘電体膜を構成する材料として、BST以外に、例えば化学式RMX₃で示される複合酸化物の構造であるペロブスカイト構造を有する誘電体材料(BaTiO₃、SrTiO₃、PbTiO₃、など)や、酸化セリウム、酸化タンタル、酸化亜鉛、マンガン酸イットリウム、酸化マグネシウムなどの高誘電体材料を用いることができる。このような材料であっても、as-depo.の状態でカーボン化合物を含有することがあるが、本発明の方法を適用することにより、形成される高誘電体膜のリーク低減という効果を発揮することができる。また、材料や条件を適宜選択することで、比誘電率の向上という効果をも発揮することができる。

【0061】また、誘電体膜を構成する材料が高誘電体材料以外の誘電体材料、例えば後述する第3の実施形態で説明するように、チタン酸ジルコン酸鉛やタンタル酸ストロンチウム・ビスマス、チタン酸ビスマスなどの強誘電体膜であってもよい。かかる強誘電体膜の製造方法に本発明の方法を適用することにより、リークの小さい良好な強誘電体膜を形成することが可能である。また、材料や条件を適宜選択することで、誘電分極の大きさの向上という効果をも発揮することができる。

【0062】また、本実施形態においては、特にMOCVD法により形成された誘電体膜に結晶化のための熱処理を行なう場合を例にとって説明したが、本発明の方法は、誘電体膜中に残留カーボン化合物が残るような堆積方法によって形成された誘電体膜全般に適用することができる。例えば、いわゆるゾル・ゲル法やMOD法などの塗布・焼結により形成された誘電体膜においても、誘電体膜中には多量のカーボン化合物が残留している。また、スパッタ法により成膜された誘電体膜においても、ターゲット材料や、装置構造によってはターゲット以外からのカーボン化合物の混入により、誘電体膜中にカーボン化合物が残留することがある。かかる場合においても、本発明の誘電体膜の製造方法を適用することにより、リークの小さい誘電体膜を得ることができる。

【0063】(第2の実施形態)以下、本発明の第2の実施形態について、図面を参照しながら説明する。

【0064】本実施形態においては、上記第1の実施形態におけるDRAMのメモリセルと同様の構造を有するメモリセルの製造方法について説明する。そして、本実施形態におけるメモリセルの製造方法は、基本的に図2(a)～(d)に示す工程を同じであるが、図2(b)に示す工程における熱処理条件のみが第1の実施形態の方法とは異なる。

【0065】図7は、600℃において成膜したBST膜を昇温させたときのカーボン化合物の脱離挙動を示す図である。同図において、横軸は熱処理温度を表しており、縦軸は熱処理によって脱離するカーボン化合物の量に依じた検出イオン電流強度(任意単位)を表している。ここでは、モニター対象となるカーボン化合物として、特に脱離挙動が顕著であった分子量28のカーボン化合物であるCO₂を利用し、700℃、30分間の熱処理が大気圧の窒素雰囲気下又は大気圧の酸素雰囲気下で施されたBST膜と、as-depo.のBST膜とを比較している。ガス分析の測定質量範囲は1~100(amu)で、昇温速度が10℃/minである。同図から明らかなように、酸素雰囲気下で熱処理を施されたものは、700℃の熱処理温度であっても、脱離しやすいカーボン化合物はほぼ完全に脱離されている。なお、窒素雰囲気下におけるよりも少なくとも20℃低い温度で熱処理を行なっても、窒素雰囲気下と同等の脱離効果

雰囲気においては、BST膜中でC、H、O₂の不安定な形で結合しているカーボン化合物が酸化され、CO₂やH₂Oといった気体分子に化学変化するからと考えられる。

【0066】その結果、本実施形態の熱処理方法によると、BST膜に酸化性ガス雰囲気下で熱処理を施すことにより、BST膜中のカーボン化合物が酸化されてBST膜から脱離しやすい気体分子に変化することを利用して、より効率的にカーボン化合物を脱離させることができる。

【0067】特に、Si基板を用いた半導体デバイスにおいては、高温処理を行なうとトランジスタや配線の特性に悪影響を与えることから、デバイスの製造時における熱履歴の管理が重要である。その点、本実施形態の熱処理方法においては、熱処理温度の低温化を図ることができるので、DRAMなどのSi基板を用いて形成されるデバイスの製造には、プロセス上有利な方法といえる。

【0068】なお、真空中での熱処理についても実験を行なったが、現在のところ大気圧の窒素雰囲気下における熱処理に比較してややカーボン化合物の除去効果が大い結果を得ているが、窒素雰囲気下における効果と有意義な差はなかった。これは、真空中ではカーボン化合物自体に特別の変化を生ぜしめることができないからと考えられる。

【0069】(第3の実施形態)次に、本発明の第3の実施形態について、図面を参照しながら説明する。

【0070】図8は、本実施形態の誘電体膜を用いた強誘電体メモリ(以下、FeRAMと表記する)のメモリセルのみを抜き出して示す断面図である。図8に示すように、Si基板11上には活性領域を取り囲む素子分離12が形成されており、この活性領域内にはDRAMのメモリセルトランジスタとなるMOSTランジスタが設けられている。MOSTランジスタは、Si基板11の上に設けられた絶縁ゲート14と、Si基板11内における絶縁ゲート14の両側に位置する領域に形成されたソース・ドレイン拡散層13とにより構成されている。また、基板上には、シリコン酸化膜からなる第1の層間絶縁膜15が堆積されており、この第1の層間絶縁膜15の上に、メモリセルの容量部が設けられている。この容量部は、第1の層間絶縁膜15の上に形成されたPt膜からなる下部電極26と、下部電極26の上に設けられた厚み150nm程度の強誘電体膜であるタンタル酸ストロンチウム・ピスマス(以下、SBTと表記する)からなる容量絶縁膜27と、容量絶縁膜27の上に設けられた上部電極28とにより構成されている。そして、容量部の下部電極16は、第1の層間絶縁膜15を貫通するプラグ19によってメモリセルトランジスタのソース・ドレイン拡散層13の一方に接続されている。なお、図1の破線に示すように、第1の層間絶縁膜15の

上に堆積された第2の層間絶縁膜20の上にはDRAMのビット線21が設けられており、このビット線21は、第1、第2の層間絶縁膜15、20を貫通するプラグ22によってソース・ドレイン拡散層13の他方に接続されている。

【0071】ここで、本実施形態においても、メモリセルトランジスタの各部や、第1の層間絶縁膜15、下部電極26、上部電極28、プラグ19などの形成方法は上記第1の実施形態と同じであって、容量絶縁膜27の形成方法のみが異なるので、以下においてはその部分についての説明する。

【0072】本実施形態においては、第1の実施形態で述べた製造方法と同様に、残留カーボン化合物の脱離が活性な温度、例えば800℃でSBT膜に熱処理を施すことにより、SBT膜中の残留カーボン化合物を脱離させた後に、SBTを結晶化させることができる。その結果、上記第1の実施形態と同様の原理により、カーボン化合物を効率よく脱離させることができるので、SBT膜をバタニングして形成される容量絶縁膜27のリーク電流を低減することができる。特に、FeRAMにおいては、上部電極28と下部電極26との間の電位差により強誘電体膜である容量絶縁膜27の分極方向を変化させて情報の書き込みを行い、かつ、上部電極28と下部電極26との間に所定の電圧を印加した際に流れる電流値を測定することにより情報の読出しを行う。この時、容量絶縁膜27のリーク電流が小さいことによって、書き込み・読出し時の電圧印加時の漏れ電流を低減できるため、各セルの電力消費を低減することが可能である。このため、本実施形態の製造方法の強誘電体膜を用いることにより、電力消費量が小さく、発熱量も小さいFeRAMを実現することが可能である。

【0073】(第4の実施形態)次に、本発明の第4の実施形態について、図面を参照しながら説明する。

【0074】図9(a)、(b)は、本実施形態の強誘電体膜を用いた強誘電体ゲートメモリ(以下、MFSと表記する)の動作原理を説明するために、メモリセルの部分のみを抜き出して示す断面図である。

【0075】図9(a)、(b)に示すように、本実施形態におけるMFSのメモリセルは、BがドーブされたP型のSi基板55上に形成された厚み約150nmのSBT膜からなる強誘電体膜51と、強誘電体膜51の上に形成されたPt(白金)膜からなるゲート電極53と、Si基板55内における強誘電体膜51の両側に位置する領域にP(リン)をドーブして形成されたソース領域57a及びドレイン領域57bとにより構成されている。

【0076】ここで、Si基板55は電氣的に接地されており、強誘電体膜51は、ゲート電極53に直前に印加されていた電界の向きに応じて、図9(a)または図9(b)の「+」、「-」で示すいずれかの状態に分極

している。そして、強誘電体層51の分極状態により、これを打ち消す極性の誘起電荷59がSi基板55の表面付近の領域に誘起される。図9(a)に示す状態においては、ゲート電極53に印加される電圧が正から0に変化することにより、Si基板55の表面付近の領域には、この変化を打ち消すような負の誘起電荷59が生じるため、ソース部57aとドレイン部57bの間に電位差を与えると、ドレイン電流IDが流れる。しかしながら、図9(b)に示す状態においては、ゲート電極53に印加される電圧が負から0に変化することにより、Si基板55の表面付近の領域には、この変化を打ち消すような正の誘起電荷60が生じるため、ソース部57aとドレイン部57bの間に電位差を与えてもドレイン電流IDは流れなくなる。従って、このドレイン電流IDの有無によって強誘電体膜51の分極状態を識別することが可能となり、強誘電体膜51を不揮発性の情報記憶部として用いることができる。

【0077】本実施形態においても、第3の実施形態で述べた製造方法と同様に、残留カーボン化合物の脱離が活性な温度、例えば800℃でSBT膜に熱処理を施すことにより、SBT膜中の残留カーボン化合物を脱離させた後に、SBTを結晶化させることができる。その結果、第1の実施形態と同様の原理により、SBT膜からカーボン化合物を効率よく脱離させることができるので、SBT膜をバナーニングして形成される強誘電体膜51のリーク電流を低減することができる。特に、MFSにおいては、ゲート電極53と半導体基板55の間の電位差により強誘電体膜51の分極方向を決定し、情報を書込むが、この時、強誘電体膜51のリーク電流が小さいために、各セルの電力消費を低減することが可能である。このため、本実施形態の製造方法によって形成される強誘電体膜を情報記憶部として利用することにより、電力消費量が小さく、発熱量も小さいMFSを実現することが可能である。

【0078】そして、このような不揮発メモリは、特にノートパソコンなどの携帯端末において需要が多い。その場合、これらの商品が電池駆動であることをから、リークが多いと電池の使用期間が短くなり、実用的価値を損ねるが、本発明の製造方法によって形成された強誘電体膜を用いることにより、長期駆動に対しても寄与できるものである。

【0079】

【発明の効果】本発明の誘電体膜の製造方法によれば、炭素を含有する誘電体膜に結晶化のための熱処理を、少なくとも炭素を含む物質が誘電体膜から脱離する条件で行なうことにより、リーク電流の小さい誘電体膜を形成することができる。

【0080】特に、少なくとも毎分0.2℃以上の速度で昇温することにより、誘電体膜の結晶化が完了する前に炭素を含む物質の脱離を促進することができる。

【0081】そして、本発明の誘電体膜の製造方法は、狭いセル面積で所望の容量を確保できるDRAM、FeRAM、MFSのメモリセルの容量絶縁膜の形成に供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態におけるBST膜を用いたDRAMメモリセルの構造を示す断面図である。

【図2】第1の実施形態におけるメモリセルの製造工程を示す断面図である。

【図3】第1の実施形態におけるBST膜からのカーボン化合物の脱離挙動についてのデータを示す図である。

【図4】第1の実施形態における熱処理を施したときの保持時間とBST膜の比誘電率との相関関係を示す図である。

【図5】第1の実施形態における熱処理を施したときの保持時間と+1[V]印加時のリーク電流密度との相関関係を示す図である。

【図6】第1の実施形態における熱処理条件による高誘電体膜のカーボン化合物の残留状態の相違を示すための断面図である。

【図7】第2の実施形態におけるBST膜を昇温させたときのカーボン化合物の脱離挙動を示す図である。

【図8】第3の実施形態のSBT膜を用いたFeRAMのメモリセルのみを抜き出して示す断面図である。

【図9】第4の実施形態のSBT膜を用いたMFSの動作原理を説明するためにメモリセルの部分のみを抜き出して示す断面図である。

【図10】基板上にBST膜を堆積するのに用いられている従来のMOCVD装置の構成を概略的に示す断面図である。

【図11】液体材料のうちの1つであるBa(DPM)の分子式を示す図である。

【図12】熱処理(アニール)によって結晶化されたBST膜の結晶子サイズのアニール温度依存性を示す図である。

【図13】BST膜に窒素雰囲気中で600℃の熱処理(アニール)を施したときの熱処理時間とBST膜の比誘電率との相関関係を示す図である。

【図14】窒素雰囲気中で600℃で熱処理を施したときの保持時間とリーク電流との相関関係を示す図である。

【符号の説明】

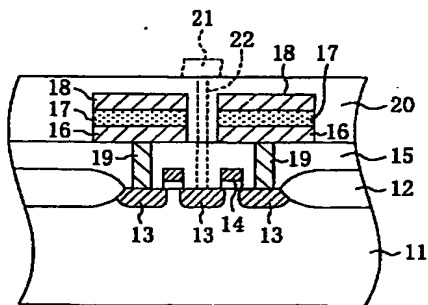
- 11 Si基板
- 12 素子分離
- 13 ソース・ドレイン拡散層
- 14 絶縁ゲート
- 15 第1の層間絶縁膜
- 16 下部電極
- 17 容量絶縁膜
- 18 上部電極

- 17
19 プラグ
20 第2の層間絶縁膜
21 ビット線
22 プラグ
25 カーボン化合物
26 下部電極
27 容量絶縁膜
28 上部電極

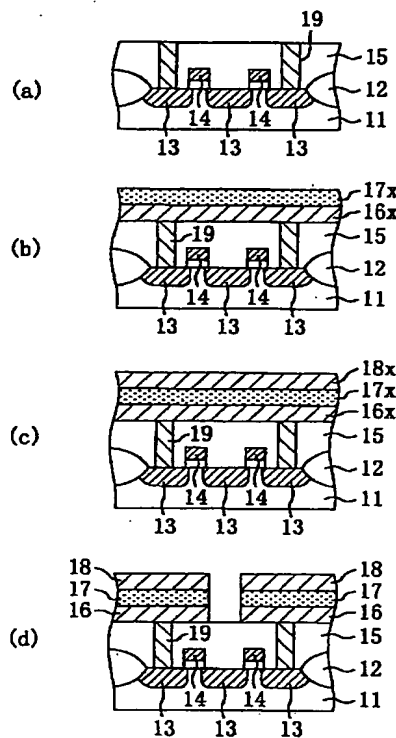
- * 51 強誘電体膜
53 ゲート電極
55 Si基板
57a ソース領域
57b ドレイン領域
59 誘起電荷
60 誘起電荷

*

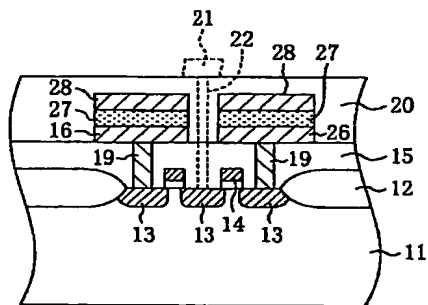
【図1】



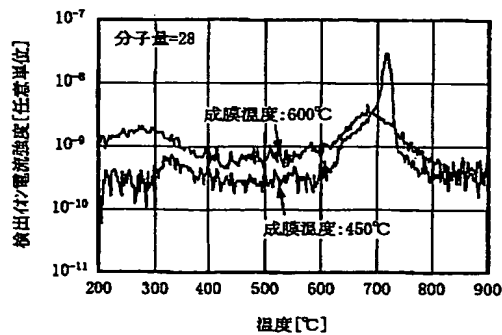
【図2】



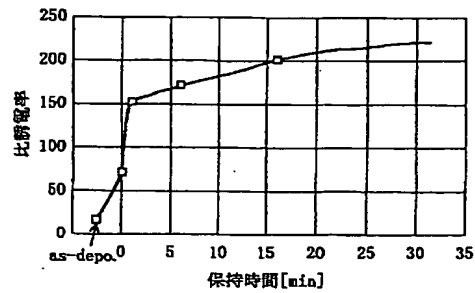
【図8】



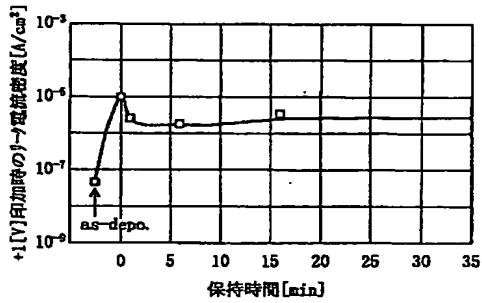
【図3】



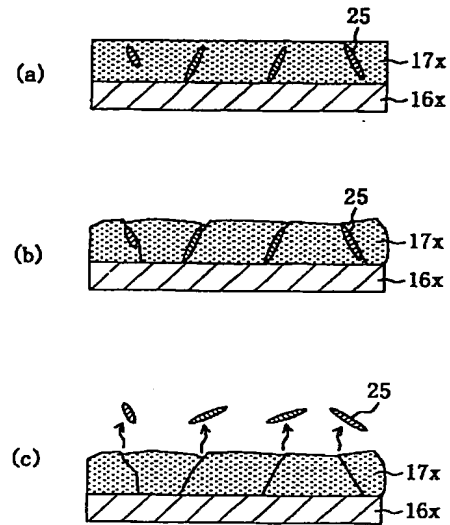
【図4】



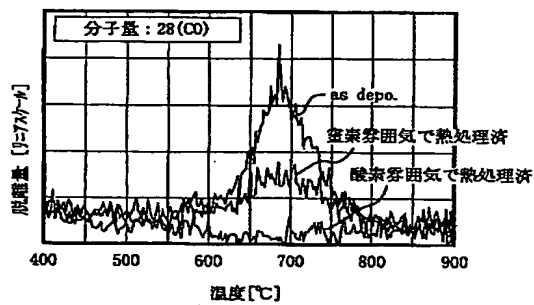
【図5】



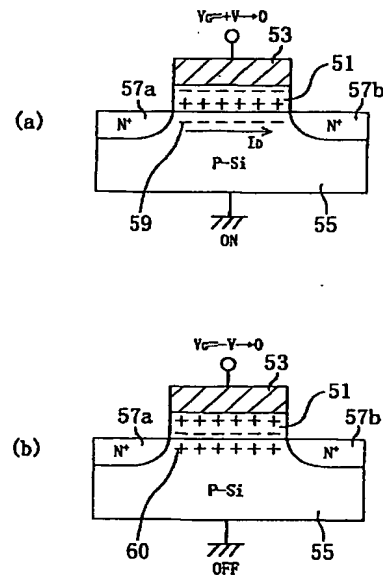
【図6】



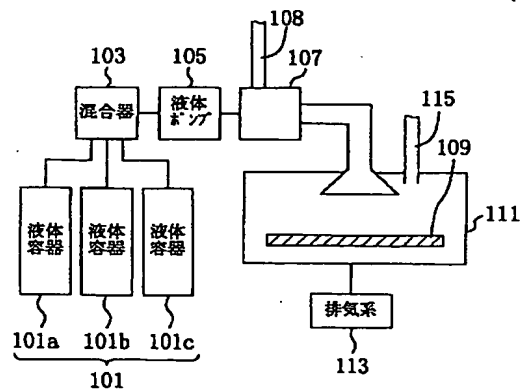
【図7】



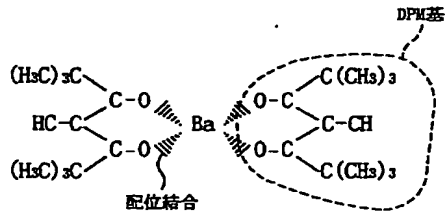
【図9】



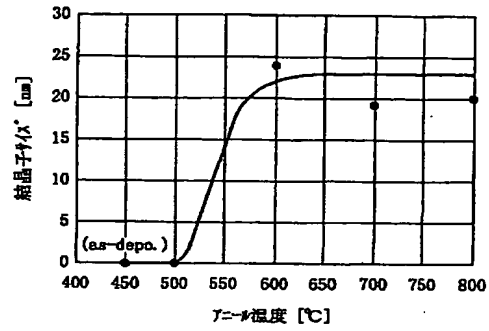
【図10】



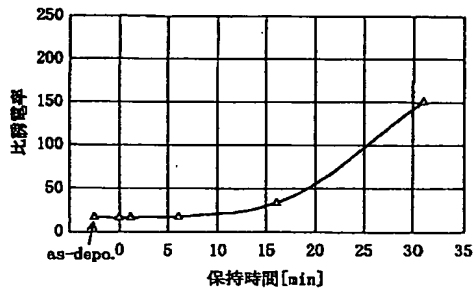
【図11】



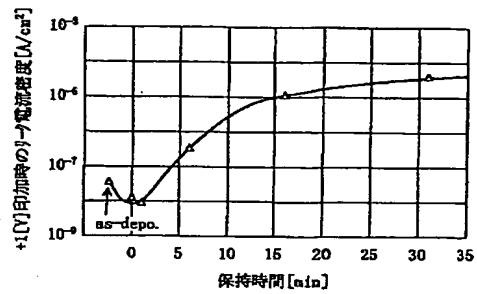
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl.⁷
H01L 21/31
27/108
21/8242

識別記号

F I
C 04 B 35/46
H 01 L 27/10

テマコード (参考)

C
651